

15.投标人认为需要加以说明的其他内容

附：产品彩页

深圳市江天科技有限公司



数字工业软件

QuestaSim

收益

- . 业界领先的高性能多语言模拟器
- . 高性能、高容量的统一调试
- . 针对LRM兼容性的参考模拟器
- . UVM, 系统验证, VHDL和混合语言支持
- . 本地编译, 单内核模拟器技术
- . 下一代可视化管理器调试环境
- . 代码覆盖范围和功能覆盖范围
- . SVA和PSL断言
- . 智能覆盖率收敛

复杂的SoC验证

作为西门子数字工业软件公司的一部分, 西门子EDA提供的QuestaSim[®]验证解决方案将继续发展, 以应对SoC设计日益增长的复杂性。除了设计的绝对规模和包含多个嵌入式处理器和高级互连系统之外, 多平台形式设计所需的软件内容和可配置性的增加还需要一个功能验证解决方案, 以统一广泛的验证特性。这就非常重视通过在整个验证过程中跟踪针对计划的进展的覆盖率度量集合来通知验证计划。这种智能验证计划使工程师能够有效地分配和管理资源, 并随着项目的进展而识别趋势。QuestaSim强大的技术有助于最大化块和子系统级别的验证有效性, 因此系统级验证可以集中于系统级别的功能, 包括软件, 而不必担心较低级别的错误会侵蚀您的生产力。没有人愿意损害产品的质量。然而, 市场时间压力主导了SoC项目。要在计划内交付质量, 需要缩短实现覆盖率和质量目标的时间, 并提高调试效率。

[Siemens.com/eda](https://www.siemens.com/eda)

QuestaSim

- . 收益持续
- . 综合验证管理与分析
- . 在高级优化模式下进行模拟
- . 具有一流的功率感知验证技术
- . C代码调试
- . x传播动态模拟
- . 实数建模 (RNM)
- . 通用覆盖数据库和流
- . 64位支持Linux和Windows

平台支持

- . QuestaSim支持Windows和Linux (均为32位 和64位)
- . Windows10、Linux RHEL 7和8、ARM64、Linux SLES 12和15 *

*请参阅您的查询系统版本的最新文档中的许可和安装指南。

QuestaSim模拟器通过非常积极的、针对系统仿真日志、VHDL和系统c的全局编译和仿真优化算法，实现了行业领先的性能和容量。具有独特的预操作和重用能力，QuestaSim™支持非常快速的周转时间和有效的库管理，同时保持高性能，从而支持在运行大量测试时显著提高回归吞吐量。Questa可视化器调试环境提供了高性能、高容量的调试，允许在运行大量测试时显著提高回归吞吐量。

高级优化和生产力流程

QuestaSim支持高级优化算法，旨在显著提高仿真性能。为了改进编译、优化和细化周转时间，QuestaSim支持：一个名为Qrun的单一编译命令包装器，它自动提供增量编译、保存和重用预编译部分作为预优化设计单元 (pdu) 的能力，以及保存和重用细化图像。这些特性可以单独使用或组合使用，以提供定制的流，通过删除不必要的再处理来减少周转时间。

代码覆盖范围和功能覆盖范围

设计验证的完整性可以通过代码覆盖和功能覆盖来衡量。QuestaSim支持语句、表达式、条件、切换和FSM覆盖率。代码覆盖率度量自动从HDL源派生。因为许多设计块都是可配置和可重用的，并且不是所有的度量都有价值，所以可以通过在代码覆盖浏览器中指定的源代码语用和排除来灵活地管理代码覆盖度量。

验证管理

QuestaSim验证管理和覆盖范围处理数据复杂性，指导验证过程，并跨所有验证引擎提供自动化。这提高了验证效率，并执行本地生成的覆盖数据，用于西门子行业领先的下一代分析套件：Questa验证IQ。QuestaSim验证IQ提供了建立在统一覆盖互操作性标准数据库（UCISDB）基础上的分析和优化特性，提供了结果和趋势分析、测试计划跟踪和运行管理。QuestaSim验证管理有效地将所有与验证相关的任务联系在一起，并让所有各方——系统架构师、软件工程师、设计人员和验证专家——获得对项目的实时可见性。这种可见性有助于按时进入市场窗口，管理风险，并提高吞吐量和调试周转时间。



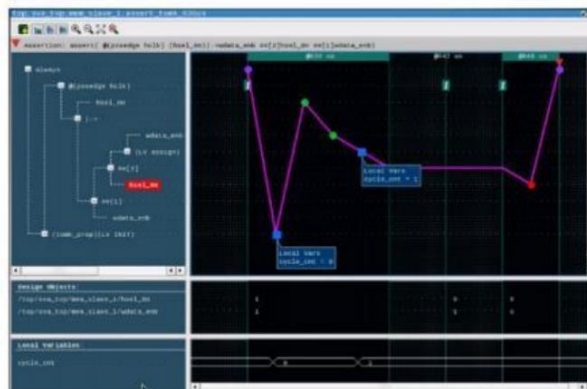
最直观的性能分析器。

运行时性能分析

最大化RTL验证的效率通常需要分析模拟运行时性能，以寻找瓶颈和潜在的改进。QuestaSim的新的、完全重新架构的、直观的性能分析器通过突出设计或测试台中的次优且可以修复的低效率，帮助用户自我诊断性能瓶颈。

使用SVA和PSL进行基于断言的验证

基于断言的验证（ABV）通过插入白盒监视器来提高设计质量，这允许在可视化显示器调试器窗口中主动监控功能的正确性。断言捕获了测试有效但不能传播到典型的黑盒观测点的错误，例如主要输出。这些断言还提高了调试时间的工作效率，因为它们识别的功能错误更接近于根本原因。从一个明显更短的因果关系追溯中节省的时间可以达到数小时甚至几天。QuestaSim通过支持系统版本断言（SVA）构造和属性规范语言（PSL）来启用ABV。SVA和PSL断言都可以嵌入到设计HDL源代码中，也可以在单独的单元中指定，然后绑定到设计层次结构中相应的相应模块实例。QuestaSim还提供了具有断言线程查看器的强大调试功能。



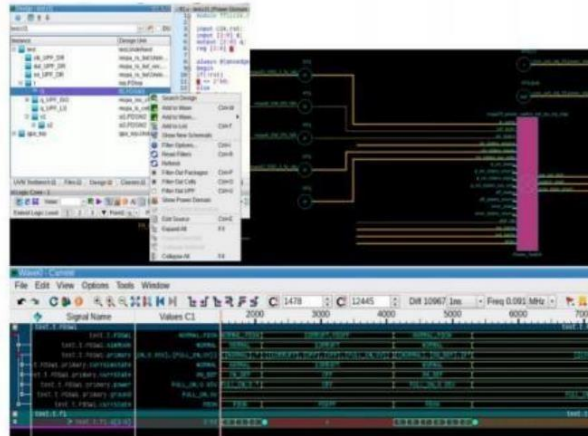
在可视化显示器中的断言线程查看器。

功率感知验证

QuestaSim低功率验证使在RTL早期验证主动功率管理，即使是最复杂的设计。这确保了电源管理体系结构和行为是正确的，并确保在主动电源管理期间设计将正确运行。一流的任务asimPowerAware技术通过一套全面的静态检查器简化了检查过程，用于检查电源管理架构的一致性，以及动态检查的自动错误检测。QuestaSim PowerAware工具还提供了电源管理架构和行为的可视化、覆盖数据收集以及电源状态和状态转换的测试计划生成。

QuestaSim

基于最新的行业标准IEEE 1801，QuestaSim电源管理软件支持UPF 3.1和所有UPF 3.0/2.1/2.0 UPF规范的主动电源管理。QuestaSim的强力智能软件解决方案与其他基于UPF的工具集成良好，以支持多工具和多供应商的低功耗设计和验证流程。



可视化器中的高级电源感知调试。

X传播

模拟中的主要挑战之一是x-传播。确定传播的Xs的来源需要更多的时间来验证周期的后期进行调试，因为工程师必须识别Xs的来源，测试设计的初始化，并创建显式检查来报告Xs。Questa Xprop动态模拟包括处理Xs传播的机制。它确保模拟与硅行为紧密匹配，在模拟过程中捕获x源，并确保信号在可能的情况下分辨到一个已知值。

实数建模

任务系统支持实数建模。实数建模能够更好地建模模拟块，并允许这些离散模型用于高性能的数字流。

QuestaSim



可视化器的单一环境的测试台和RTL DUT测试。

下一代调试——Questa可视化管理器

Questa可视化器是一个上下文感知的调试平台，它支持完整的逻辑验证流，包括模拟、仿真和原型设计，以及设计、测试台、低功耗和断言分析。它具有直观的功能，具有强大的设计和验证调试功能，可以在实时模拟模式或后模拟模式下进行调试。可视化器提供了一个高性能和高容量的调试器，可以从模拟扩展到模拟。多个自动功能可以快速发现RTL、门级和协议错误。低功耗和UPF调试已完全集成，并覆盖了RTL视图。可视化器是基于系统验证类和UVM感知的，可以加快总体调试时间，即使在当今最复杂的soc和fpga上也是如此。

进一步的资源

西门子EDA验证专业知识提供了资源和样本设计来帮助您开始采用先进的验证技术。

要收集免费的在线课程和资源，重点关注高级功能验证的关键方面，请访问[验证学院](#)

要达到解决方案驱动的顾问，大大减少您的验证过程时间，同时提高质量，请查看西门子EDA咨询[验证服务](#)

Siemens Digital Industries Software
siemens.com/software

Americas
1 800 498 5351

Europe
00 800 70002222

Asia-Pacific
001 800 03061910

For additional numbers, [click here](#)

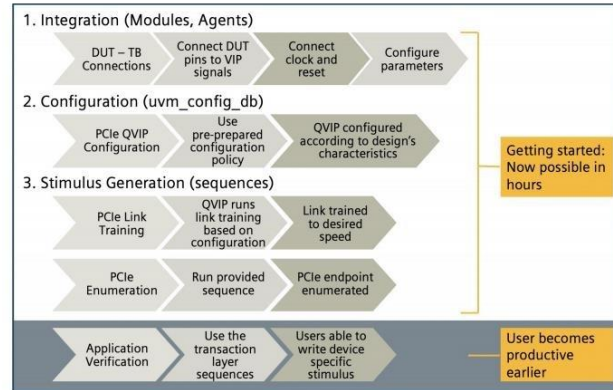
©2023 西门子。相关西门子的清单
商标可以在这里找到，其他的
商标属于它们各自的商
物主

85329-10 5/23 X

Questa Verification IP

Benefits (cont.)

- Complete verification plan, protocol coverage, and checking
- Intuitive transaction-level debug
- High-quality, mature VIP validated against commonly used design IP



Three Steps to Productivity with VIP: Integrate > Configure > Generate Stimulus > Verify Product

Large Library of Protocols and Memory Models

QVIP supports a large library of industry-standard protocol and memory interfaces and devices. It includes standard SystemVerilog UVM components using a consistent, common architecture that allows rapid deployment and sharing of multiple protocols and memory models within a verification team. Test plans, compliance tests, test sequences, and protocol coverage are all included as SystemVerilog and XML source code, allowing easy reuse, extension, and debug. All QVIP components include a comprehensive set of protocol checks, error injection, and debug capabilities.

EZ-VIP: Architected for Rapid Productivity

EZ-VIP APIs and quick starter kits take care of the tedious connection, configuration, and set up tasks, so engineers can start writing tests using QVIP within a day, even for complex serial protocols, such as PCI Express and USB.

- Reusable protocol test plans linked to supplied protocol coverage
- Complete protocol checks and test suites achieve 100 percent protocol coverage to verify protocol compliance
- Comprehensive VIP built using advanced methodologies for fastest time to verification sign-off

An Integral Part of the Enterprise Verification Platform

Questa Verification IP is a key component of the Enterprise Verification Platform (EVP). Complete VIP components reduce bring up time and enable rapid coverage closure. Common APIs and methodologies enable tests and testbenches to be moved from one verification engine to another. As an integral part of EVP, QVIP can be used with a combination of shared databases, debug applications, and analysis tools, allowing users to choose the best tool for different tasks within a single, highly productive verification flow.

Siemens Digital Industries Software
siemens.com/eda

Americas +1 314 264 8499
Europe +44 (0) 1276 413200
Asia-Pacific +852 2230 3333

© Siemens 2021. A list of relevant Siemens trademarks can be found [here](#). Other trademarks belong to their respective owners.
83683-C1 5/21 TGB



数字工业软件

Veloce proFPGA

一个高性能、易于部署的桌面FPGA原型设计系统

收益

- . 高性能
- . 一流的模块化
- . FPGA I/Os和SerDes的丰富可用性
- . 及时支持新的FPGA设备
- . 最紧凑的原型设计系统
- . 快速升级，易于使用

总结

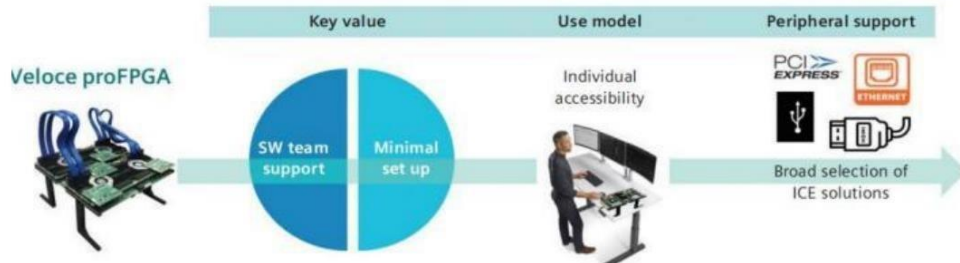
Veloce™proFPGA系统体系结构提供了一流的模块化、能力、灵活性和可移植性，以满足当今硬件和软件工程师的验证需求。Veloce是X加速器™组合的一部分，这是来自西门子数字工业软件的一个综合和集成的软件和服务组合。

Veloce proFPGA

Veloce proFPGA平台提供了三种类型的主板：Uno, Duo和Quad。这些主板允许不同类型的现场可编程门阵列（FPGA）模块易于插入和混合，以及外围内存和协议接口板。作为一个用例示例，工程师可以从用于芯片IP或子系统的proFPGA Uno系统开始，并可以将其重复用于完整的SoC和特定应用的集成电路（ASIC）原型。这是通过简单地在Duo或四元主板上插入相同的Veloce proFPGA模块，而不考虑在新系统上使用的FPGA类型。

Siemens.com/eda

SIEMENS



这种创新的智能技术提供了最大的可重用性和最高的投资回报，因为基于最新的FPGA设备的新的Veloce proFPGA模块与之前的Veloce proFPGA代兼容。用户可以重用所有现有的proFPGA主板、FPGA模块、子卡和配件，并结合新的速度proFPGA模块和系统。如果容量需要随着SoC的发展而增加，那么可以很容易地连接14个Veloce proFPGA四元系统，从而将其扩展到一个更大的系统，容量远远高于10亿个ASIC门。

能力

验证环境

Veloce proFPGA的可伸缩性、模块化和灵活性允许用户扩展原型解决方案的验证范围，为外部系统添加用于内存建模和硬件接口的扩展板。

几乎所有的FPGA I/Os都可以在大量的扩展站点上使用，这些站点用于FPGA-to-FPGA高速互连或连接扩展板，如内存、协议接口和特定于应用程序的板。这样，用户就可以对Veloce proFPGA系统进行建模，以满足其设计验证要求，并在需要时以非常简单的方式扩展系统容量。

这种架构方法为电路互连提供了最大的灵活性和IP容量，并为PCIe Gen3/4/5 DDR4内存、USB3、QSFP+、MIPI、HDMI、SATA、千兆以太网、调试接口或用户特定于应用程序的扩展板适应现成的proFPGA子板。

坚实的软件解决方案

同样的软件流程加速了+仿真平台和Primo企业原型现在作为工程师加速推出他们的桌面原型解决方案proFPGA。针对Veloce原型软件的Veloce操作系统（VPS）是一个完整的自动化软件，它可以消除繁琐的任务，以确保以FPGA原型解决方案的最大可能速度实现适当的功能。

Veloce proFPGA

在综合前端过程，软件保证时钟树正确映射到FPGA可重构逻辑。门控时钟传播良好，避免时间危险。内存自动推断和映射到可用的物理内存系统和时间约束满足最大化性能不遇到测试电路的时间违规。跨多个fpga的设计分区是时间驱动和高效的资源的，用户可以控制资源和性能之间的权衡决策。用户可以根据需要指导或多或少的分区，以实现运行时性能目标。将设计映射到FPGA资源中可以提供高质量的结果（QoR），使单个FPGA设计或一个FPGA内的逻辑块能够实现150+MHz的性能。

高级调试功能

VPS提供了业界最佳的原型调试功能，而不管原型类型的使用模型和环境如何。对于电路内验证（ICE）环境，VPS提供了广泛和深度的、基于探头的、在速度调试。每个时钟域可以在编译时检测到数以千万计的信号，它可以在运行时选择跟踪集、条件捕获、触发连续函数和事件。通过将跟踪数据流到内存或磁盘，可以捕获许多秒的运行时，而不需要附加的硬件设置和配置。

总结

Veloce proFPGA大大降低了FPGA桌面原型解决方案的采用障碍。再加上表演



由于其架构创新，该解决方案易于部署，工程师现在可以快速和可靠地启动他们自己的实验室环境。

Veloce proFPGA是基于Xilinx和英特尔最新的高端FPGA。它被设计为高性能和每个模块选择一个FPGA的架构方法。该解决方案提供了扩展所需的容量所需的模块化，并提供了足够的I/O连接，以连接创建特定于目标应用程序的验证工作负载所需的接口板。

Veloce proFPGA的灵活性允许用户在各种类型的工作负载中使用桌面原型类型，通过车载测试台和与外部硬件的电路连接，如以太网发生器或PCI Express总线。对于在原型机上测试的设计，Veloce proFPGA桌面原型解决方案与Veloce硬件辅助验证系统中的其他解决方案共享相同的软件前端，以确保方法的连续性。

Siemens Digital Industries Software
siemens.com/software

Americas
1 800 498 5351

Europe
00 800 7000222

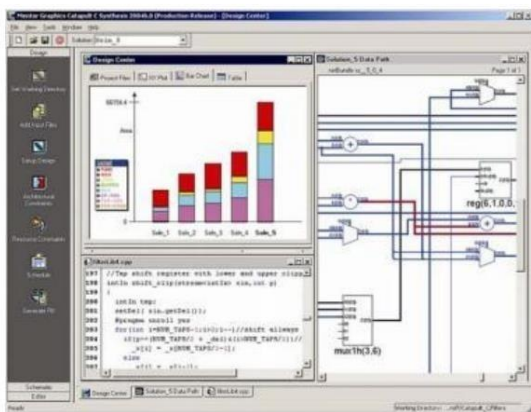
Asia-Pacific
001 800 03061910

For additional numbers,
[click here](#)

©2021西门子。相关西门子的清单
商标可以在这里找到。其他的
商标属于它们各自的商标
物主

83665-D6 12/21 III

Catapult Synthesis



Catapult Synthesis为抽象的C设计规范到高质量的硬件实现提供了一种简捷的途径，并且迅速为行业领先的用户所采纳

Catapult Synthesis 产品系列

对于如今复杂的下一代DSP应用，传统的硬件设计方法采用手工编写RTL代码的方法过于耗时。Catapult® Synthesis工具套件帮助硬件设计工程师将设计抽象层次提高到新的高度：ANSI C++，使得下一代无线，卫星，视频和图像处理等应用中需要的高性能复杂ASIC和FPGA硬件的快速设计成为可能。

Catapult Synthesis允许快速生成无线、通信和多媒体应用等完整硬件子系统。与其它的RTL设计方法学或综合诸如SystemC/HandelC的硬件化C语言的工具不同，Catapult 产品系列是业内第一个综合标准的ANSI C++的产品，它可无误地生成高质量的RTL代码，且速度比其它方法快10-20倍。Catapult采用自动生成的方法以避免手工编码引入设计的错误，并能快速探索不同的设计架构以快速找到性能、面积或功耗之间折衷的最佳实现方案。

微架构分析和优化

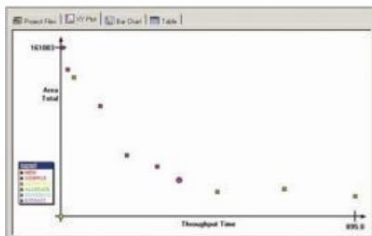
传统的设计方法是劳动密集型的，它们几乎没有给设计者留下评估其它可选架构的时间。硬件设计者被迫提前对架构的进行选择，从而不可避免地导致非优化的硬件实现。

基于C语言的硬件设计 数据手册

产品主要特点:

- 没有属性扩展，综合真正的无定时的ANSI C++
- 根据ASIC和FPGA工艺特性，分别综合出高性能硬件实现，RTL可在QuestaSim, VCS等工具中仿真
- 增量式设计方法学，提供最大程度的可视性、用户控制和最快的硬件实现途径
- 通过专利的接口综合实现接口的优化
- 自动生成SystemC事务处理器，复用ANSI C++测试程序验证RTL
- 自动生成SystemC TLM，无缝集成到SystemC设计流程中，快速验证系统
- 自动化创建RTL设计，避免手工编码时常见的错误
- 支持比特精度数据类型，仿真速度比RTL仿真快10000倍
- 微结构的假设分析可以高度优化设计
- 层次化设计方法学，可由ANSI C++综合出流水化，多模块的子系统
- 精确的库建模无需耗时的RTL综合就可以精确地预测面积和速度
- 利用单一的C++源代码将系统设计者和硬件设计者统一起来
- 和RTL综合器紧密集成产生快速的时序收敛
- 在层次甘特图中图形化地显示设计瓶颈和无效性
- 在甘特图，源代码和原理图之间可以交叉探测
- 使用XY曲线，条状图和表格汇总高效地比较设计结果

限



X-Y 图示提供可视化的反馈途径，帮助比较和对照微结构解决方案的实现结果

利用Catapult Synthesis工具自动生成RTL代码，使得设计者可以针对一个给定的设计轻易地探索大量可选架构的不同实现。Catapult Synthesis可以给设计者出众的控制，基于用户设置的约束生成不同的实现方案，并在X-Y图，柱状图，表格以及原理图来显示不同的方案的结果。因此，用户可以根据面积和性能快速地做出正确的抉择来生成优化的硬件实现方案。Catapult Synthesis中层次式的甘特图提供了关于数据流、元件利用率和循环执行时间分布图的信息。它使得设计者能立即看透C/C++代码的性能瓶颈或低效性，如阻止并行性的存储器带宽限制，循环相关性以及限制优化调度的数据相关性等。设计者可以快速识别设计中的问题，并能交叉定位到C++源码上，从而同时优化算法和硬件实现，最终快速收敛于一个优化的硬件实现上。

接口综合

相对于其它的高层次综合工具，Catapult Synthesis 不需要在源码上嵌入接口协议，更确切地说，它采用纯的ANSI C++描述作为它的输入，并采用专利的接口综合工艺来控制设计接口上的时序和通信协议。这使得设计者可以充分利用工具提供的丰富的硬件接口如流接口，单端口或双端口RAM，硬件握手，FIFO，AMBA以及许多其它内嵌的I/O元件，进行接口分析。用户也可使用Catapult库编译器生成定制或具有特定属性的I/O元件。

全面设计约束

Catapult Synthesis为一个设计如何综合成硬件提供了全面的控制。利用同一个源代码，硬件工程师利用高层次约束可生成从紧凑到高度并行的实现方案。这些结构约束窗口提供了设计中所有端口，数组和循环的图形视图，并允许施加下列部分或全部的高层次约束：

- 循环的展开和流水
- 循环的合并
- RAM，ROM或FIFO数组映射
- 存储器资源的合并
- 存储器位宽大小的调整



工程师添加结构约束实现循环的展开、合并以及流水管理，映射数组到RAM，控制资源分配等优化硬件的实现

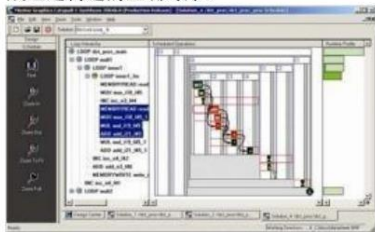
Catapult Synthesis 把自动化和特定的高层次约束结合起来，用户可以精确控制硬件实现，并能在短时间内通过交互方式收敛到高质量的设计。

可预测的时序收敛

通过构造与关键时序的数据通路不同的基本FSM控制逻辑，Catapult Synthesis可达到设计性能最佳化。Catapult通过提升原来工艺确定的算子来构造高度优化的数据通路，而这些算子正是下游的RTL综合工具所采用的，如Design Compiler所用的DesignWare。这种方法学保证了数据通路延迟的精确性，从而通过RTL和物理综合生

限

成经过构造的正确时序。



层次化甘特图协助工程师清晰地分析各组成部分的使用以及数据如何在设计中转换

SystemC 验证环境

Catapult Synthesis通过生成SystemC事务处理器提供了集成的模块级验证环境，而这些事务处理器把事务或顺序检测与时序的RTL同步起来。这种集成流程使得设计者可方便地复用原始的C测试程序验证C++设计和输出的RTL代码功能的一致性，它也在特定的同步点为混合的语言仿真提供了先进分析和调试手段。

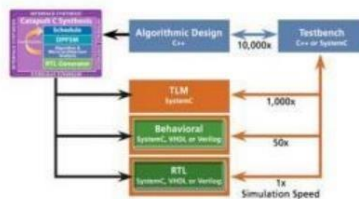
集成的设计流程

Catapult Synthesis在生成RTL级VHDL和Verilog代码的同时，也生成了如Design Compiler®, Precision®综合，Questa™等业内领先综合和仿真工具脚本，该工具也利用了如自动调用RAM或DSP宏模块等RTL综合特性。为了保证用户尽可能创造出最佳的设计实现，Catapult Synthesis通过与领先的第三方工具提供商的密切合作作为时序验证和功耗估计提供了确定的设计流程。顺序等效性验证流程可在系统级输入模型和输出的RTL设计之间方便地证明功能的等效性，即为纯粹的ANSI C++源代码和输出RTL代码提供了形式验证的途径。功耗估计流程使设计者在设计如消费类和移动通信产品等功耗敏感的应用时能够精确地估计设计的功耗。与面积和延迟一起，估计的功耗成为由Catapult生成的解决方案时考虑的第三要素。

层次式子系统设计及通道综合

Catapult Synthesis是第一个能从纯顺序的ANSI C++综合出流水和并行的多模块层次式设计的高层次综合工具。层次式设计特性不仅能增强设计的性能，而且能显著减少综合时间，同时也大大提高了生成和验证复杂设计的有效性。

在设计之初，Catapult帮助设计者确定和分析可能的设计层次，允许设计者交互选择优化的层次结构。一旦设计者决定了合适的层次结构，Catapult运用其层次式引擎为各个函数综合出具有独立有限状态机，控制逻辑和数据通路的并行层次式子系统。该工具强劲的通道综合能力也为用户优化模块间的通信提供了可能，支持含FIFO的流通道，乒乓存储器，共享存储器和通道深度和宽度调整。Catapult也可在顶层施加流水线操作，并自动创建并行和流水子模块以满足顶层吞吐率的要求。



Catapult通过产生事务接口实现RTL与事务或者顺序测试环境之间的同步来支持SystemC事务级系统。这种连接确保在整个设计流程中单一基于SystemC测试环境的可行性。

进位存储加法器优化

Catapult也可实现进位存储加法器(Carry-save Adder)，它在遇到复杂的加法树时对流线型计算和吞吐率进行优化。进位存储加法器优化功能使得Catapult在减少硬件面积的同时生成高性能硬件模块。

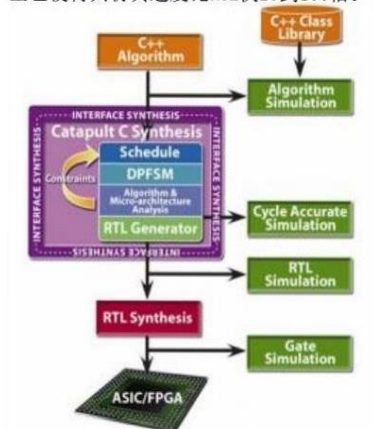
高级资源管理

Catapult SL利用细粒度资源管理功能提供了用户控制和优化能力。用户控制元件的

特定结构和数量可有助于提供高达15%的设计面积和5%的设计速度。

SystemC 事务级模型 (TLM) 生成

对于在SystemC环境下工作的系统工程师，Catapult Synthesis为事务级和端口精确 (pin-accurate) 的仿真生成SystemC事务级模型，并提供了集成的验证环境。这些更高级的抽象模型为整个系统提供了单一的基于SystemC的测试环境，这些优化的模型也使得其仿真速度比RTL快20到100倍。

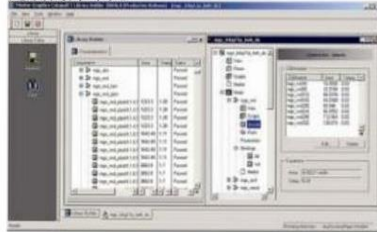


与以往采用手工编码的实现方式相比，Catapult设计流程提供了在更广泛范围的进行微结构评估的机会

Catapult 库编译器

Catapult 库编译器从下游的RTL综合工具所采用的特定工艺库中采集详尽的特征数据。这使得Catapult综合器精确调度硬件资源，级联算子，多周期元件，无需花费大量的时间和精力来进行RTL综合就能快速提供精确面积，时序和吞吐率估计。

Catapult 库编译器也使得设计者能够将存储器，IP，DesignWare和现存的RTL提升为定制的库单元。



无需耗时的RTL综合就可利用精确的模型库在设计前端准确地预测面积和延时

客户验证的算法C综合

Catapult Synthesis已被世界各地的主要硬件设计公司证明有助于大量的ASIC成功流片和FPGA设计。成熟的第三代算法C综合环境可以自动从纯ANSI C++语言生成无误的RTL代码，其速度比传统的手工方法快20倍。利用业界标准的纯ANSI C++语言描述函数功能，设计者在下一代计算密集型应用中设计复杂的ASIC或FPGA硬件时使用生产效率更高的抽象层次。

该工具的先进的分析能力使得硬件设计者可以充分和交互探索微架构和接口设计空间，生成可与手工设计质量相媲美的高性能硬件实现。Catapult Synthesis统一了两个不同的设计域：系统级设计和硬件设计，并结合Mentor公司的Questa仿真工具，为下一代电子系统级设计 (ESL) 奠定了坚实基础。

支持的平台

Windows NT/2000/XP, Linux RedHat 企业版以及 SUN Solaris 8 操作系统。